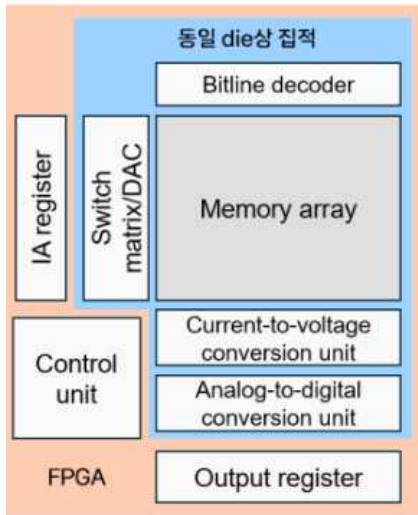


RFP관리번호	2025-반도체·디스플레이-품목공모-06			공모유형	품목공모형	
해당여부	☒ 국가전략기술 ☐ 탄소중립 ☐ 글로벌 R&D ☐ 미래소재 ☐ 전략연구사업(MPX(예정) ☐ 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	SI반도체	RB세부분야	뉴로모픽 소자
사업명	원천기술개발사업 - 차세대지능형반도체기술개발(소자)(R&D) - 신소자원천기술개발					
RFP명	고효율/고신뢰성 저항형 신소자 메모리 3D 어레이 기반 1000 TOPS/W급 인메모리 프로세서 코어 개발					
	(TRL : [시작] 4단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제	일반
	R	1	-	1	분류	
1. 추진배경						
☐ 추진배경 ○ 심층신경망(DNN: Deep Neural Network)은 딥러닝의 모델로, 최근 거대언어모델을 포함한 매우 다양한 분야에 적용 가능한 학습/추론 모델이며, 성능 고도화를 위해 심층신경망의 규모(깊이, 크기)가 급속히 커지는 추세임 ○ 심층신경망의 규모 증가에 따른 신경망 연산복잡도의 기하급수적 증가로 인해 현재 심층신경망 연산가속 하드웨어인 GPU에 대한 수요가 크게 증가하고 있는 상황이며, 이 추세는 당분간 이어질 것으로 예상됨 ○ 하지만 GPU는 막대한 양의 operand가 메모리(DRAM)와 연산기 사이에서 빈번히 이동하여 막대한 전력소모가 발생하며, GPU 성능이 증가할수록 전력소모 또한 증가하는 문제가 발생함 ○ 인메모리 프로세서는 상당량의 operand를 메모리에 보관하는 data stationary dataflow를 취하며, stationary 데이터를 메모리 도메인 내에서 연산하므로 DRAM과 연산기 사이의 데이터 이동을 최소화할 수 있는 프로세서이며, 저항형 메모리를 이용하여 구현 시 비트라인을 공유하는 메모리셀의 아날로그 전류합을 이용하여 딥러닝 연산의 주요 워크로드인 MAC(Multiply-Accumulate) 연산을 효율적으로 수행할 수 있음 ○ 하지만 아날로그형 인메모리 프로세서는 주변회로에 의한 전력소모가 메모리 도메인의 전력소모를 초과하므로 고전력효율 인메모리 프로세서 개발을 위하여 메모리 도메인 뿐만 아니라 주변회로의 고효율화 및 고성능화가 필수임 ○ 따라서 인메모리 프로세서의 실질적인 전력효율 평가를 위해 메모리 도메인과 최적화된 주변회로를 실제 제작하여 주요 성능평가가 필수적임 ☐ 기획 주안점 ○ 본 연구과제는 저항형 메모리 기반 고성능/고효율 인메모리 프로세서의 단위 코어(타일)의 핵심인 메모리 어레이와 주변회로를 제작하고 실험평가하여 시스템의 전력효율 1,000 TOPS/W 이상 확보를 목표로 함 ○ 실제 제작하는 시스템의 범위는 아래 연구개발 개념도에 명시되어 있으며, 그 이외의 요소는 FPGA상 구현하여 시스템의 MAC 연산가속 실증을 목표로 함						

- 집적하는 주변회로는 반드시 기존의 회로일 필요는 없으며, 명시한 요소회로의 기능을 충실히 수행할 수 있는 새로운 개념의 회로를 자율 제시해도 무방함
- 전력효율 평가 대상은 집적한 시스템에 한정함

<연구개발 개념도>



- (메모리소자기술) Scalability를 가지는 고성능/고효율/고신뢰성 저항형 신소자 메모리 기반 4k 이상의 크기를 가지는 3D 어레이의 개발을 목표로 함
- (회로설계기술) 고전력효율 인메모리 코어 구현을 위한 주변회로 고성능/고효율화(필요시 신소자를 이용하여 일부 회로 대체가능)를 목표로 함
- 연구과제 종료 시 최종 결과를 판단함에 있어 모든 정량 목표 항목의 평가가 실측을 통해 검증될 필요가 있음
- 연구 과제의 최종 목표를 달성하기 위한 세부적인 방법론을 연구자별로 자율적으로 제시하여, 연구의 체계성 및 구현 가능성을 충분히 입증하여 본 연구 과제 기간 내 가시적인 성과를 얻을 수 있음을 보일 필요가 있음

2. 연구개발목표

- 최종 목표 : 고성능/고효율/고신뢰성 저항형 신소자 메모리 3차원 어레이 기반 1,000 TOPS/W급* 인메모리 프로세서 코어 개발

* 메모리 어레이와 주변회로를 포함한 시스템의 전력효율

○ 세부목표 :

- 저항형 메모리 신소자 기반 4k 이상의 3차원 어레이 개발
 - 저항형 메모리 소자는 시스템 전력효율 1,000 TOPS/W 이상을 3차원 구조에서 달성할 수 있어야 하며, 개발할 메모리 소자/어레이의 정량적 목표 수치는 하기 예시를 참고하여 연차별로 자율 제시할 것

(정량 목표 항목)

평가 항목 (단위소자)	단위	성능수준	비고
어레이 크기	-	> 4x32x32	
동작 전압	V	< 3	Read/Write
동작 전류	uA	< 10	Read/Write
Retention	hour	> 2	@ 85 °C
Endurance	회	> 10 ⁹	@ Room temperature
Write latency	ns	< 500	
Read latency	ns	< 50	
Device-to-device distribution (distribution/mean)	%	< 10	동작 전압 (집적 소자 內 전수조사)
	%	< 10	동작 전류 (집적 소자 內 전수조사)
	%	< 10	읽기 전류 (집적 소자 內 전수조사)

- 3차원 어레이 address 및 아날로그 MAC 연산에 기반한 디지털 결과 출력을 위한 주변회로 설계
 - 주변회로는 3차원 어레이의
 - (1) 워드라인 병렬 address를 위한 switch matrix,
 - (2) 비트라인 address를 위한 decoder 또는 동일한 기능을 수행할 수 있는 회로,
 - (3) 아날로그 MAC 연산의 결과인 전류합의 전압신호 전환 및 latch 회로,
 - (4) 아날로그 신호를 디지털 신호로 변환하는 회로를 포함하며, (1)-(4)와 동일한 기능을 수행할 수 있는 새로운 개념의 회로 제시 가능함
 - 주변회로의 성능은 시스템 전력효율 1,000 TOPS/W를 달성 가능할 수 있어야 하며, 구체적인 목표 수치는 자율제시
- 차원 메모리 어레이와 주변회로 성능 실험검증
 - 개발할 3차원 메모리 어레이와 주변회로를 포함하여 전력효율 1,000 TOPS/W의 가능성을 실험검증
- 신경망 수준 workload의 연산가속 및 연산신뢰도 평가
 - 개발할 집적 시스템을 이용하여 평가를 하되, 집적 시스템 이외의 요소는 FPGA 또는 시뮬레이션을 이용하여 검증이 가능함
 - 2종 이상의 신경망 수준 workload를 자율 제시하고, 각 workload에 대한 집적 시스템의 연산신뢰도 목표를 제시

[참고] 국내외 관련 기술 주요 성능지표

평가 항목 (주요 성능)	단위	세계 최고수준	연구개발 전 국내 수준	목표설정 근거
		성능수준	성능수준	
연산효율	TOPS/W	818	13.7 TFLOPS/W	[1] arXiv:2302.06463, Japan, January 2023, [2] 2021 Symposium on VLSI Circuits, Kyoto, Japan, 2021, pp. 1-2,
응용분야	%	CIFAR-10 95.8	CIFAR-10 91.1	[2] 2021 Symposium on VLSI Circuits, Kyoto, Japan, 2021, pp. 1-2,

3. 성과목표

- 3차원 메모리 어레이 및 핵심 주변회로를 포함한 시스템을 대상으로 전력효율 실험 평가를 필수로 함
- 연구자가 제시한 메모리 어레이의 동작 특성은 시스템 전력효율 1,000 TOPS/W 달성이 가능하도록 합리적으로 설정 및 제시
- 국내·외 특허 출원 및 등록 자율 제시(국가 R&D 연구비 10억당 출원 4건/등록 2건 내외 수준 고려)
 - 출원 및 등록 특허는 기여율이 50% 이상인 특허에 한하여 성과를 인정함 (단계, 최종평가위원회 검토사항)

- SCI(E)급 논문 게재 건수 자율 제시(국가 R&D 연구비 10억당 5편 내외 수준 고려)
 - 게재 논문은 기여율 50% 이상인 논문에 한하여 성과를 인정함
(단계, 최종평가위원회 검토사항)
- JCR 상위 10% 이내 논문 게재 건수 자율 제시
- 본 과제를 통한 석·박사 배출 예상 인원 자율 제시

4. 지원기간/예산/추진체계

- 연구개발기간: '25.4.~'27.12. (총 33개월 내외)
- 정부지원연구개발비: 총 2,648백만원 내외 ('25년 722백만원 내외)

총 연구기간('25.4.~'27.12. / 33개월)		
1차년도	2차년도	3차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.
722백만원	963백만원	963백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

- 선정 과제 수: 1개 과제 (단위과제 - 공동 또는 단독)
- 과제형태: (일반)연구개발과제
- 주관연구개발기관: 대학/출연(연)/기업부설연구소 등
- 기술료 징수여부: 징수

5. 특기사항

- PIM인공지능반도체핵심기술개발(소자)사업 RFP(2025-반도체·디스플레이-품목공모-12)와 중복 신청 및 참여 불가(주관/공동/위탁연구개발기관 연구책임자에 한함)
- 실제 제출하는 과제명은 연구자의 아이디어가 포함될 수 있는 제목으로 연구계획서 제출
- 과제 목표에 부합하도록 소재 및 소자, 회로구현을 위한 연차별 통합추진체계를 구체적으로 제시
- 제안서 상에 제시된 소자에 대한 선행개발 이력 및 결과 제시 필요
- 다음 사항을 연구계획서에 제시 필요
 - 제안된 소자 및 시스템 아키텍처에 대한 구성도(단위 블럭별 H/W, S/W 파트 명기)
 - 개발한 최종 결과물에 대한 실험적 검증 내용(방향성 및 범위 제시)
 - 전력효율(Power efficiency)에 대한 지표 및 목표산출과정 제시
 - 최종 결과물을 기반으로 실제 응용 가능한 시스템/어플리케이션 등 활용 방안 1종 이상